

一种面向多核 DSP 芯片的低功耗验证方法

孙 健, 时鹏飞, 冯春阳, 蒙 玲, 张 辉

(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 随着芯片设计进入纳米时代, 芯片的规模和工作频率不断提高, 尤其在工艺发展到 65 nm 及以下时, 芯片的功耗已经成为继面积和性能之后的主要影响因素之一。面对低功耗设计技术要求的不断增加, 对面向低功耗设计的仿真验证也提出了更高的要求。对此全面系统地介绍了低功耗设计的相关背景、原理和不同层次的优化技术, 通过对一款多核 DSP 芯片的低功耗验证, 针对低功耗设计的各种策略, 构建了基于 SystemVerilog 的仿真验证环境, 实现了一种高效可行的低功耗仿真验证方法。

关键词: 多核 DSP; 低功耗; 电源域; 仿真验证

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2015)12-0116-06

Low Power Verification Based on Multi-Cores DSP

SUN Jian, SHI Peng-fei, FENG Chun-yang, MENG Ling, ZHANG Hui

(Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

Abstract: With the IC design have developed into the nanometer era especially below 65 nm technology, the scale and the frequency of the IC are improved so that the power dissipation has become the main concern after area and performance. For the IC design concerns with the design power increasing, the verification should be oriented the low power design. This paper presents the knowledges, principles and technologies about the low power design. For the low power technologies, this paper present a high performance and valid low power verification methodology based on SystemVerilog in a Multi-Core DSP chip.

Key words: multi-core DSP; low power dissipation; power domain; verification

1 引言

随着芯片设计进入纳米时代, 芯片的主频和器件密度都大幅度提高。进入 65 nm 及以下半导体工艺技术, 漏电流(Leakage Current)呈指数级增长, 漏电功耗(也称静态功耗)与动态功耗逐步处于同一个数量级, 甚至超过动态功耗, 成为总功耗的主要来源。因此, 功耗成为继性能、面积之后的第三个制约因素。

低功耗设计技术要求的不断增加, 对面向低功耗设计的仿真验证提出了更高的要求。为了更好地进行低功耗设计和仿真验证, IEEE 制定了 IEEE1801 标准^[1], 即统一功耗格式(Unified Power Format, UPF), 建立了从系统设计、验证到具体电路实现的完整设计和仿真规范。

本文以一种基于 65 nm 工艺的多核 DSP 处理器低功耗设计为基础, 构建一种基于 UPF 的面向多核 DSP 芯片的低功耗仿真验证环境。采用断言判断和 VCS NLP(Native Lower Power)等多种方法, 实现对多核 DSP 处理器低功耗设计的仿真验证, 提高低功耗设计的仿真验证效率, 并为其他芯片的低功耗仿真验证提供一种可行的解决方案。

2 一种面向多核 DSP 处理器的低功耗设计技术

2.1 典型低功耗控制策略

芯片的功耗主要分为动态功耗和静态功耗(P_{leakage}), 其中动态功耗又分为开关功耗($P_{\text{switching}}$)和短路功耗(P_{internal})^[2], 如式(1)所示:

$$P_{\text{total}} = P_{\text{switching}} + P_{\text{internal}} + P_{\text{leakage}} \quad (1)$$

其中静态功耗一般由漏电流造成,动态功耗一般为对负载电容充放电时所消耗的功率,短路功耗为 PMOS、NMOS 同时打开时瞬间消耗的功率。针对引起功耗的各种因素,目前芯片系统级设计中主要采用了如图 1 所示的低功耗技术^[3-4]:时钟门控(Clock Gating)、多电压(Multi Voltage, MV)、电源门控(Power Gating)、动态电压频率调节(Dynamic Voltage and Frequency Scaling)等技术。

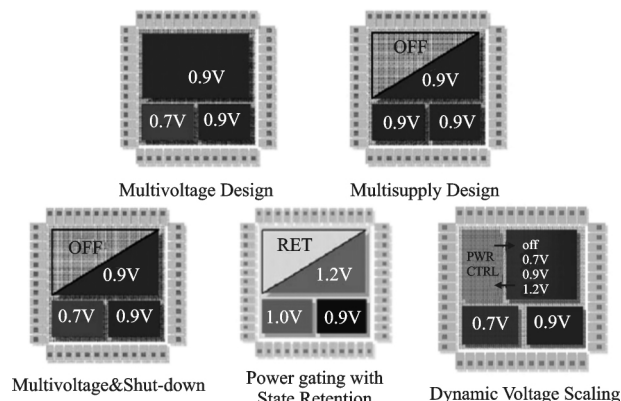


图 1 常用降低功耗的技术

为了实现对应的低功耗策略,需要在低功耗设计时对电源域(Power Domain, PD)进行划分,同时需要引入新的特殊单元库,这些单元库主要包括电源开关单元(Power Switch)、电平转换单元(Level Shifter),隔离单元(Isolation Cell),保持单元(Retention Cell)等,如图 2 所示。

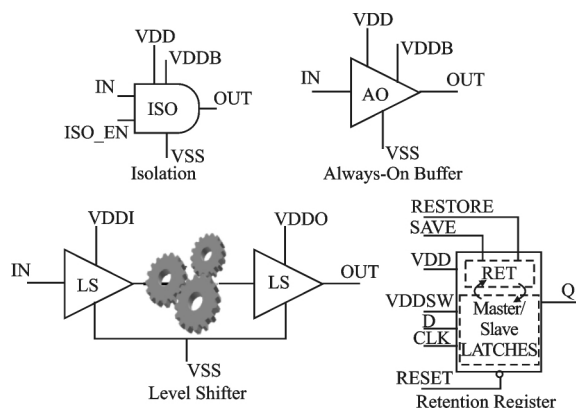


图 2 低功耗库单元

2.2 多核 DSP 低功耗设计

本文验证的多核 DSP 通过使用既定的低功耗策略和 65 nm 单元库,实现了对于多核 DSP 芯片功耗的有效控制,该多核 DSP 芯片在低功耗设计过程中主要使用了 Power Gating、Clock Gating、MV 等

低功耗设计技术,芯片内部的电源共划分为两大区域(如图 3 所示):常开(Always-On)区域和可通/断区域,且供电电压相同,其中功耗控制单元(Power Management Unit, PMU)属于电源常开区域。可通/断区域被划分为 12 类电源域(总计包含 20 个 IP 核),其中 16 个 DSP 核被分为 8 组 DSP 电源域(PD0~PD7,两个 DSP 核的电源域共享同一组电源类通/断控制信号),4 组外设电源域(外设 1~外设 4),其中可通断电源域的电源工作模式(Power Mode, PM)有以下几种:PM1(PD 关)、PM2(PD 开)和 PM3(PD 开,其中 CORE 关, MEM 开)、PM4(PD 开,其中 CORE 开, MEM 关)。每个可关断电源域的输出端口必须插入低功耗隔离单元,以防止该电源域关闭后输出的不定态值影响其他常开的电源域。为了保证每个 DSP 核的开关上电操作能够正常进行,必须建立与之对应的有效地低功耗仿真验证环境。

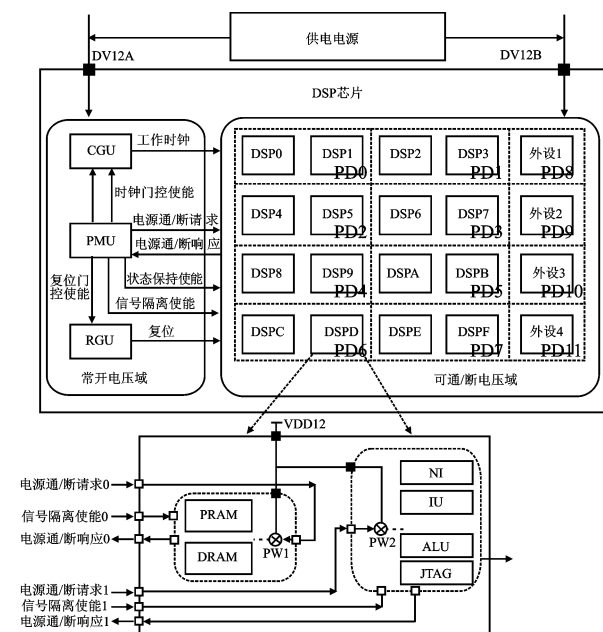


图 3 DSP 低功耗结构图

3 低功耗验证方法

3.1 面临的问题

该多核 DSP 处理器是基于 VHDL 进行的设计,采用了 Power Gating、Clock Gating、MV 等多种低功耗策略,并使用 UPF 描述了低功耗设计意图,如果采用原有的低功耗验证技术,需要在设计中编写大量的时序判断逻辑,造成代码编写量增多,从而不可避免地造成代码编写错误,并且仿真时需要仿真器通过 PLI 模式与多个仿真引擎交互分别处

理 UPF 和设计代码,这些因素严重制约了仿真验证的效率。

3.2 解决方法

针对上述多核 DSP 验证面临的问题,在验证环境搭建过程中对原有的验证方法进行了改进. 因为该多核 DSP 中各 DSP 核具有相似性,通过 SystemVerilog 宏文本替换方式对单个 DSP 核中相关信号进行检测,完成断言的编写,通过重复循环语句复用单核 DSP 的断言,完成对所有 DSP 核的信号检测,实现了对设计不进行任何修改而完成了对多 DSP 核的数据和控制信号的检查. 同时,仿真采用了 VCS NLP 仿真模式,减小了 PLI 模式对仿真速度的影响,加快了仿真验证的速度. 在完成了以上验证方法和策略的改进之后,在制定验证方案时除了关注一些基本功能的正确外,还需要重点关注以下内容^[5]:

(1) 电源不同工作模式中 PMU 控制时序是否正确;

(2) 所有 PD 电源整体关断和整体打开;

(3) 不同电源模式工作状态是否符合 UPF 描述的电源状态表;

(4) 电源关断和打开时的 Retention Cell 中数据保持和程序运行情况;

(5) 隔离单元是否能够正确隔离相关的数据信号;

(6) 时钟复位的开关操作是否正确.

基于上述内容,使用 SystemVerilog 构建了基于 UPF 的验证环境及仿真验证流程,其功能和流程框架如图 4 所示.

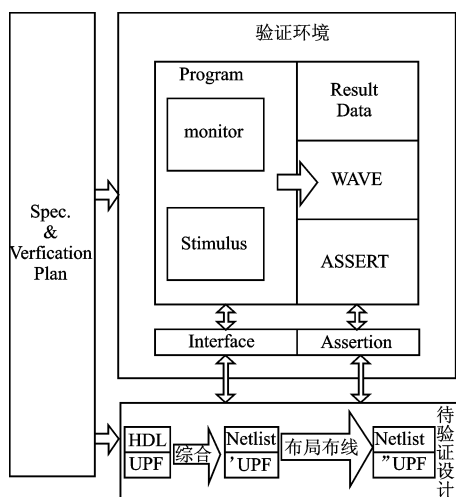


图 4 验证结构及流程

在图 4 中,首先通过设计说明完成相应的验证

计划. 在完成验证计划的基础上,基于 SystemVerilog 搭建验证环境. 验证环境主要包括测试接口、激励产生单元、监控、结果分析、断言检查等. 测试接口主要用于验证环境与待测设计 (Design Under Verification, DUV) 连接交互; 监控主要用于对测试平台接收和发送的数据进行实时监控,在发生违例情况时会输出相应的文本消息; 断言依据设计说明和验证计划,主要对设计的相关控制信号进行时序和功能检查,并实时打印检查信息. 整个验证平台中将测试接口作为通用接口,保证了前仿真、综合之后网表仿真和布局布线之后网表的验证环境可以完全复用,减少了待测设计形式改变对于验证环境的影响. 同时,在完成测试平台搭建后,通过脚本处理,将测试结果信息进行汇总分析,最终形成验证结果.

完成验证测试环境搭建后,需要分别进行以下三方面的验证.

(1) HDL 设计和 UPF: 主要验证 UPF 与 RTL 设计的符合性以及低功耗控制功能、时序的正确性,其中的低功耗单元的行为主要通过 EDA 工具依据 UPF 进行模拟.

(2) 综合网表和 'UPF: 主要验证综合后在网表中插入 Retention Cell、Isolation、Level-Shifter 等与综合工具生成的 'UPF 符合性以及低功耗控制功能、时序的正确性,除在网表中插入的低功耗单元外,其他的低功耗单元都是通过 EDA 工具依据 'UPF 进行模拟;

(3) 布局布线后网表和 ''UPF: 主要验证布局布线后在网表中插入所有的低功耗控制单元后与综合工具生成的 ''UPF 符合性以及低功耗控制功能、时序的正确性. 如果使用无电源地 (Power and Ground, P&G) 信息的网表,则需要通过 EDA 工具依据 ''UPF 进行模拟. 如果使用具有 P&G 信息的网表在该环节仿真验证的过程中不需要 ''UPF 进行功耗意图的描述.

通过文本消息、断言、波形等方式对多核 DSP 处理器运行情况进行实时监控、静态检查 (工具产生的报表) 和动态检查 (实时仿真信息) 等,结合可替换的待验证设计,最终实现多核 DSP 处理器的全流程低功耗仿真验证.

3.3 仿真验证

3.3.1 功耗控制流程检查

功耗控制流程 (Power Sequence) 主要涉及电源通/断时的控制信号是否按照一定的时序要求正确

发出,同时响应信号是否在预定的时间内反馈给相应的功能模块等。这些时序信息主要通过验证环境中的 monitor 模块检测相关配置信息是否与 PMU 设置匹配。由于动态仿真不容易检查到一些隐藏问题,因此还需要在验证环境中根据设计说明和验证方案添加相应的断言信息,从而对功耗控制时序进行检查,并在检查的过程中通过静态检查和动态检查相结合的方式,确认功耗控制流程中相关的时序是否符合设计要求。

多核 DSP 处理器的通/断电控制时序流程如图 5 所示。

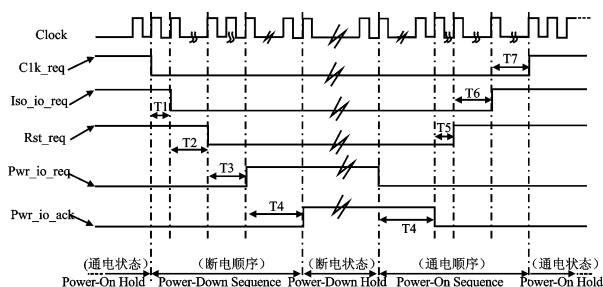


图 5 多核 DSP 处理器通/断电控制时序流程

如果采用观测仿真波形的方法,则会急剧增加低功耗仿真工作量,而且容易因为时序测量错误导致仿真失败。因此,在低功耗仿真验证过程中需要对控制信号进行监控,同时在时序不满足要求时及时反映违例信息,并形成相应的报表信息进行后续结果分析。在整个仿真验证过程中,使用断言对相关的控制时序进行实时检查^[6],多核 DSP 处理器低功耗验证时的断言检查时序和检查

信息如图 6 所示。

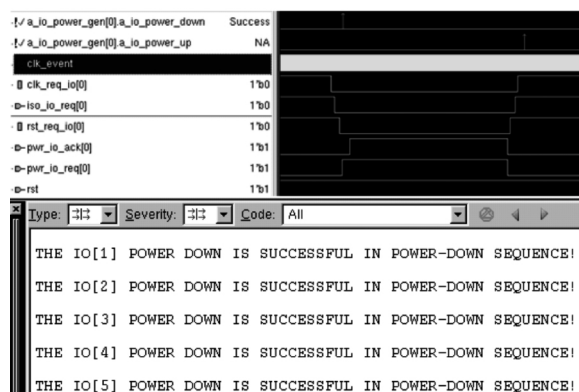


图 6 断言检查时序和检查信息

通过在低功耗验证环境中引入断言信息,可以有效提高相关控制时序的检查效率和正确性,并且在验证过程中可以及时发现设计违例情况。

3.3.2 电源域检查

电源域的验证主要检查多核 DSP 处理器中电源域划分是否正确、电源域的工作状态是否正确、特殊单元在电源域中工作是否正常等。在验证过程中需要关注以下内容:

(1)通过 EDA 工具,检查相关的电路是否正确处于某电源域中。

(2)电源域的通/断是否有效,例如关闭某电源域,则该电源域的状态应处于“OFF”状态等,电源域中的相关信号此时应该处于被关断状态,从波形上观测到的结果应该为不定态,被关闭电源电路中的信号如图 7 所示。



图 7 被关闭电源电路中的信号

在图 7 中, PWR_CORE_REQ 信号拉高后,表明了该部分电路电源已经被关闭,此时该电路内部的信号(CLK、NI_WDATA 等)在波形窗口表现为不定态。

(3)电源域中的相关信号在电源通/断时是否被有效隔离、时钟是否被关闭、存储体中的数据是否变化等。

当信号被有效隔离后,其输出值应按照设计意图隔离为确定值(0 或 1),从而消除前级电路电源关

断后输出不定值“X”,对后续电源常开电路功能造成影响,隔离引起的电路误操作如图 8 所示。而输出信号正确隔离时,在隔离请求信号(ISO_REG)发出后,相应的信号从隔离前的值更新为确定的输出值,有效隔离时序如图 9 所示。

在图 8 中, PWR_IO_REQ 信号拉高后,表明了该部分电路电源已经被关闭,但此时该电路的输出信号(NI1_ADDR(0)等)在波形窗口表现为不定态,即该信号未被有效隔离。



图 8 未有效隔离时序图

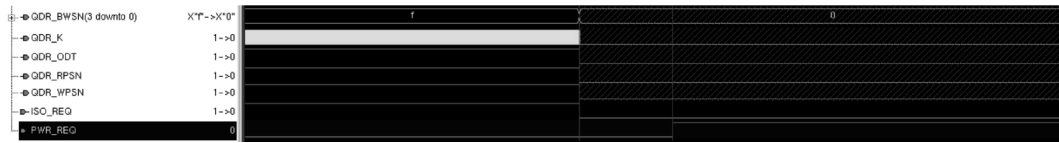


图 9 有效隔离时序图

在图 9 中,ISO_REQ 信号拉低后,表明了该部分电路输出被隔离,此时该电路的输出信号(QDR_BWSN、QDR_ODT 等)在波形窗口表现为有效地低电平,即该信号被有效隔离。

当时钟和复位控制模块收到 PMU 单元发来的关钟和复位有效信号后,时钟和复位应能够正确实现相应的响应操作,如图 10 所示,否则可认为低功耗设计存在问题。

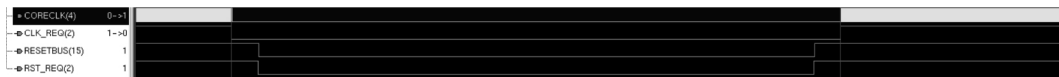


图 10 门控时钟和门控复位

当 Retention 寄存器关闭后,其中的数据被保存到影子寄存器(Shadow Register)中,在上电后,影子寄存器中的数据被有效恢复到输出端口,如图

11 所示,否则存储在影子寄存器中的数据有可能丢失,导致处理器功能不正确。



图 11 数据保持单元

在对 RTL、UPF 和验证平台进行统一编译后,EDA 工具会根据 UPF 描述的电源域信息形成相应的电源域组,如图 12 所示,其中包括了该组所包含的相关电路和插入的特殊单元,通过检查该列表可以确认该电源域所包含的信号是否完整,同时,在状态一列可以反映出当前电源域的实时电源状态等。

钟、复位和部分输出信号需要进行特殊处理。在电源关断时,电路中的时钟和复位是否处于无效状态或者保持恒 0 或恒 1 等,被隔离信号在隔离单元隔离有效前后的状态是否符合设计要求等,从而最终确定电源域的通/断对功能电路是否产生影响。同时,验证平台中的监控和测试平台断言检查模块也可实时地反映电源域电源的变化情况。

3.3.3 电源工作状态检查

电源工作状态检查主要是检查芯片的电源工作状态以及状态跳转是否符合 UPF 中描述的电源状态表,如图 13 所示。如果在验证过程中出现了电源状态表中不存在的状态组合或电源控制模块发出开关控制请求后,相应的电路并没有响应,即可确认芯片的功耗控制或是 UPF 中电源状态描述存在问题。如果仅通过功耗规则检查工具提供的电源状态信息和仿真波形检查电源状态表,则仿真验证的效率将会受到影响。因此在仿真验证过程中,加入相应的实时监测,将电源状态跳转形成报表,同时通过断言将跳转状态表示出来,仿真停止后可通过脚本命令对

Name	State	Type
RapidIO_3_MAP		Power Scope
pst_table	PWRS1	Power State Table
PD_RIO_TOP	NORMAL	Power Domain
Elements		
RAPIDIO_3_MAP	NORMAL	Element
PD_RIO_FUNC_TOP	NORMAL	Power Domain
PD_RIO_FUNC_TOP_SW	on_state	Power Switch
FUNC_TOP_ISO_1		Isolation Strategy
FUNC_TOP_ISO_0		Isolation Strategy
Elements		
Core_Y_Gen[3]/Core_...		Power Scope
Core_Y_Gen[3]/Core_...		Power Scope
Core_Y_Gen[3]/Core_...		Power Scope
Core_Y_Gen[3]/Core_...		Power Scope
Core_Y_Gen[2]/Core_...		Power Scope

图 12 电源域列表

在电源域处于不同工作状态时,电源域中的时

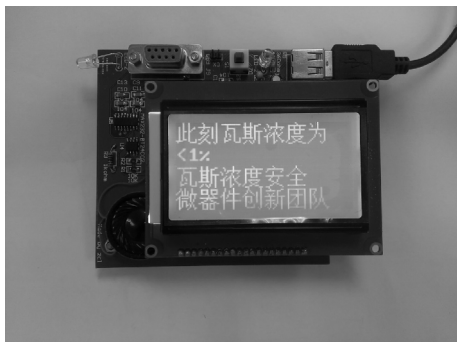


图4 实验电路板

自动巡检周期:0.06 s.

设置的三个报警点的测试结果如表1所示.

表1 设定三个报警点

报警分类	语音	最终报警 频率/kHz	预设报警 频率/kHz	相对 误差/%
一级报警	请注意,浓度超标	300.090	300	0.03
二级报警	浓度危险,迅速撤离	400.120	400	0.03
三级报警	警笛声	450.120	450	0.025

以上技术指标满足并远优于《煤矿安全监测系统通用技术要求(AQ6201—2006)》中对煤矿器件模拟量输入传输处理误差应不大于1.0%;累计量出入传输处理误差应不大于1.0%;最大巡检周期不大于30 s的主要技术指标要求.

6 结束语

本文设计的声表面波煤矿瓦斯传感器声光报警系统,可方便、准确地根据实际声表面波瓦斯传感器传感响应曲线调节报警频率点.经过多次测试,能够高精度、高稳定性地实时响应声表面波瓦斯传感器频率报警信号,满足声表面波瓦斯传感器声光报警

要求.

此外,声表面波瓦斯传感器的独特高频声信号传感原理,易于集成与无线化的优势,配合本声光报警系统的低数据容量及工作稳定性,将促进井下无线监测传感网络的成功实施,从而具备较大的二次开发空间,从而显著提高煤矿井下瓦斯监控技术和能力,减少人员伤亡与国有资产损失.

参考文献:

- [1] AQ6201—2006,煤矿安全监控系统通用技术要求[S].2006.
- [2] 王文,薛蕃峰,邵秀婷,等.基于反射型延迟线结构的无线无源声表面波测温系统[J].声学学报,2014,6(7):473-477.
- [3] 国家安全生产监督管理总局.煤矿安全规程[S].2012.
- [4] 陈荣忠,陈莉.声表面波气体传感器的理论分析[J].传感器技术,1997,10(3):27-30.
- [5] Jurgen Reibel, Stefan Stier, Achim Voigt, et al. Influence of Phase Position on the Performance of Chemical Sensors Based on SAW Device Oscillators[J]. Anal Chem,1998,70(24):5190-5197.
- [6] 张广标,祝龙记,王世俊.矿用本质安全型声光报警器设计[J].煤矿机械,2012,23(11):147-149.
- [7] 李欣唐,朱诚,杜涛,等.一种实时性较强的采样频率同步实现方法[J].电子技术应用,2000,26(8):20-21.
- [8] 黄俊,余水宝.基于STC12C5A60S2的高频高精度频率计的设计[J].微型机与应用,2012,31(17):22-24.

作者简介:

张涛男,(1977-),博士,教授.研究方向为功能材料与微型器件. E-mail: tzhang@xust.edu.cn

(上接第121页)

- [5] Jadcherla S, Bergeron J, Inoue Y, et al. Verification methodology manual for low power[M]. California: Synopsys,2009.
- [6] Srikanth, Vijayaraghavan, Meyyappan Ramanathan. A practical guide for system verilog assertions[M]. Berlin: Springer,2005.
- [7] Ashok B Mehta. System verilog assertions and functional coverage: guide to language, methodology and applications[M]. Berlin: Springer,2013.

作者简介:

孙健男,(1983-),研究生,工程师.研究方向为SoC验证. E-mail: sj_2003_ren@163.com

时鹏飞男,(1989-),本科,工程师.研究方向为SoC验证.

冯春阳男,(1980-),博士研究生.研究方向为微处理器设计、可重构计算、低功耗设计.

蒙玲女,(1988-),本科,工程师.研究方向为SoC验证.

张辉男,(1982-),研究生,工程师.研究方向为SoC验证.